
Rancang Bangun Pembangkit Runtun PN dan Sandi Walsh Berbasis FPGA

Martina Pineng

Sekolah Tinggi Manajemen Informatika dan Komputer (STMIK) Dipanegara Makassar
Jl. Perintis Kemerdekaan KM. 9 Makassar. Telp 0411-587194
e-mail: mpineng@yahoo.co.id

Abstrak

Dalam sistem komunikasi spektrum tersebar, runtun PN dan sandi Walsh digunakan sebagai sandi penyebar. Runtun PN dibangkitkan berdasar register geser dengan umpan balik linear. Jumlah tingkat register menentukan panjang runtun. Runtun PN yang digunakan adalah runtun panjang maksimal termodifikasi. Sandi Walsh dibangkitkan berdasar matriks Hadamard. Dimensi matriks Hadamard menentukan jumlah runtun sandi yang dihasilkan dan panjang runtun sandi. Makalah ini berisi perancangan model sistem untuk membangkitkan runtun PN dan sandi Walsh. Rancangan diimplementasikan menggunakan FPGA Xilinx (XC4013-PG223-5). Rancangan terdiri atas tiga jenis, yaitu: pembangkit PN dengan 4-tingkat register dan pembangkit Walsh-8; pembangkit PN dengan 8-tingkat register dan pembangkit Walsh-16; dan pembangkit PN dengan 15-tingkat register dan pembangkit Walsh-64.

Kata kunci: runtun acak semu, perangkat program hapus, sandi ortogon

Abstract

In a spread spectrum communication system, PN sequence and Walsh code used as spreading code. PN sequence is generated based upon linear feedback shift registers. The stage of the registers determines the sequence length. The PN sequence used is modified maximal-length sequence. Walsh code is generated based upon Hadamard matrix. The matrix dimension determines the number of codes generated and the code length. This paper presents a design of system model for generating PN sequence and Walsh code. The design is implemented using Xilinx FPGA (XC4013-PG223-5). There are three kinds of design implemented, i.e.: 4-stage shift register PN generator and Walsh-8 generator; 8-stage shift register PN generator and Walsh-16 generator; and 15-stage registers PN generator and Walsh-64 generator.

Keywords: Pseudorandom Noise, Field Programmable Gate Array, Walsh

1. Pendahuluan

Perkembangan teknologi komunikasi bergerak di masa yang akan datang banyak bertumpu pada CDMA, yang dikembangkan dari teknik modulasi spektrum tersebar (*spread spectrum*). Salah satu komponen penting dalam sistem spektrum tersebar adalah sandi atau kode penyebar berupa runtun acak semu (*pseudorandom-noise*, PN), yang digunakan untuk menyebar spektrum isyarat. Komponen lainnya adalah sandi Walsh yang memiliki sifat ortogonal satu sama lain dan digunakan sebagai penyandi kanal untuk memberikan identitas yang berbeda pada tiap pengguna [1].

Implementasi pembangkit runtun PN dan sandi Walsh dapat dilakukan dengan beberapa cara. Salah satu yang menarik adalah implementasi menggunakan FPGA (*Field Programmable Gate Array*). FPGA menggunakan konsep teknologi IC LSI yang bersifat *semi-custom*. FPGA menawarkan kemudahan dan kecepatan dalam hal perancangan karena perancangan dan simulasi dapat dilakukan pada level perangkat lunak. Karena kelebihan inilah dilakukan penelitian untuk mengimplementasikan model pembangkit runtun PN dan sandi Walsh menggunakan FPGA.

Penelitian ini bertujuan untuk merancang dan mengimplementasikan rangkaian model pembangkit runtun PN dan sandi Walsh ke dalam keping FPGA Xilinx XC4013-PG223-5.

Spektrum tersebar dapat didefinisikan sebagai suatu teknik transmisi yang menggunakan suatu runtun sandi penyebar, yang tidak tergantung pada runtun data, sebagai gelombang modulasi untuk menyebar energi isyarat data ke lebar-bidang (*band-width*, BW) yang jauh lebih besar daripada BW isyarat informasi tersebut [5].

Sandi penyebar tersebut sebaiknya berupa runtun acak (*random*) semirip mungkin dengan derau (*noise*). Karena yang benar-benar acak tidak dapat dibuat, yang dapat dibuat hanyalah acak semu (runtun PN). Runtun PN dengan watak mendekati derau ini dapat dibangkitkan berbasis register geser. Untuk mengurangi interferensi antar kanal, digunakan pula sandi Walsh yang merupakan sandi ortogonal (memiliki korelasi silang = 0) [4] [5].

Perancangan sistem digital dengan FPGA dapat dilakukan dengan cepat, mudah dimodifikasi dan sesuai untuk *prototyping*, akan tetapi relatif mahal dan tidak ekonomis untuk produksi yang besar [5].

Runtun *pseudo-random noise* (PN) atau runtun acak semu adalah suatu runtun yang bersifat seperti derau, yang dalam jangka 'pendek' tampak acak namun dalam jangka 'panjang' sebenarnya berulang/periodis. Runtun PN dibangkitkan berbasis register geser dengan sadapan umpan balik membentuk polinomial orde- r $g(D) = g_0 + g_1D + g_2D^2 + \dots + g_rD^r$; dengan g_i ($i = 0,1,2,\dots,r$) bernilai '1' atau '0'. Dengan $g(D)$ merupakan polinomial primitif, diperoleh runtun PN dengan panjang maksimal yaitu $N = 2^r - 1$ [2]. Jika pada runtun disisipkan satu chip '0', maka didapat runtun PN maksimal termodifikasi dengan panjang 2^r .

Sandi Walsh merupakan sandi ortogonal. Suatu sandi dikatakan ortogonal dengan sandi lain apabila keduanya memiliki korelasi-silang sama dengan nol. Sandi Walsh dibentuk berdasar matriks Hadamard [3]. Dari matriks Hadamard dengan dimensi $[2^N \times 2^N]$ dapat disusun 2^N macam runtun sandi Walsh masing-masing dengan panjang runtun 2^N chip. Sandi Walsh berbasis matriks Hadamard dapat dibangkitkan menggunakan prinsip pembagian *clock*. Pembangkit ini terdiri atas pencacah untuk membagi *clock* menjadi sandi-sandi Walsh acuan, dan gerbang-gerbang XOR untuk menjumlahkan sandi-sandi Walsh acuan tersebut menjadi sandi Walsh lengkap.

FPGA menggunakan konsep teknologi IC yang dapat diprogram dan dihapus sehingga sangat mendukung rancang bangun sistem digital. Prinsip dasar pemrograman FPGA Xilinx adalah perubahan gambar untai elektronik digital dari perangkat lunak penggambar OrCAD menjadi file aliran bit (*bit stream*) dan dikonfigurasi (di *down load*) ke dalam keping FPGA, sehingga FPGA terkonfigurasi secara perangkat keras seperti yang telah dirancang.

2. Metode Penelitian

Penelitian dilakukan dengan cara berikut:

1. Studi literatur, sebagai bahan acuan untuk mengkaji teori dasar dan teori pendukung yang terdapat pada referensi.
2. Mempelajari model perangkat keras sistem pembangkit yang telah dibuat sebelumnya sebagai landasan untuk mengembangkannya lebih lanjut.
3. Membuat rancangan sistem pembangkit pada level perangkat lunak sesuai dengan spesifikasi rancangan yang diinginkan.
4. Melakukan simulasi unjuk kerja sistem secara perangkat lunak untuk mencari bila terdapat kesalahan dalam rancangan.
5. Melakukan implementasi rancangan sistem ke level perangkat keras menggunakan FPGA Xilinx.
6. Melakukan pengamatan terhadap hasil implementasi rancangan.

Langkah-langkah yang diambil pada perancangan meliputi: pembuatan rancangan menggunakan perangkat lunak OrCAD; verifikasi rancangan dengan cara simulasi; implementasi rancangan secara perangkat keras yang terdiri dari tahap kompilasi dan konfigurasi; dan pengujian hasil implementasi tersebut.

Sebelum dilakukan perancangan sistem pembangkit secara utuh, terlebih dahulu dilakukan sintesis pola rangkaian untuk pembangkit runtun PN termodifikasi. Sintesis dilakukan melalui pendekatan *finite-state machine* untuk menemukan pola umum persamaan eksitasi tiap tingkat register. Hasilnya sebagai berikut (N = tingkat register terakhir; x,y,z,\dots,m = sadapan umpan balik):

$$D0 = Q0' \cdot Q2' \cdot Q3' \cdot Q4' \cdot \dots \cdot QN'$$

$$D1 = (Qx \oplus Qy \oplus Qz \oplus \dots \oplus Qm) + D0$$

$$D2 = Q0 + (Q1 \cdot (Q2 + Q3 + Q4 + \dots + QN))$$

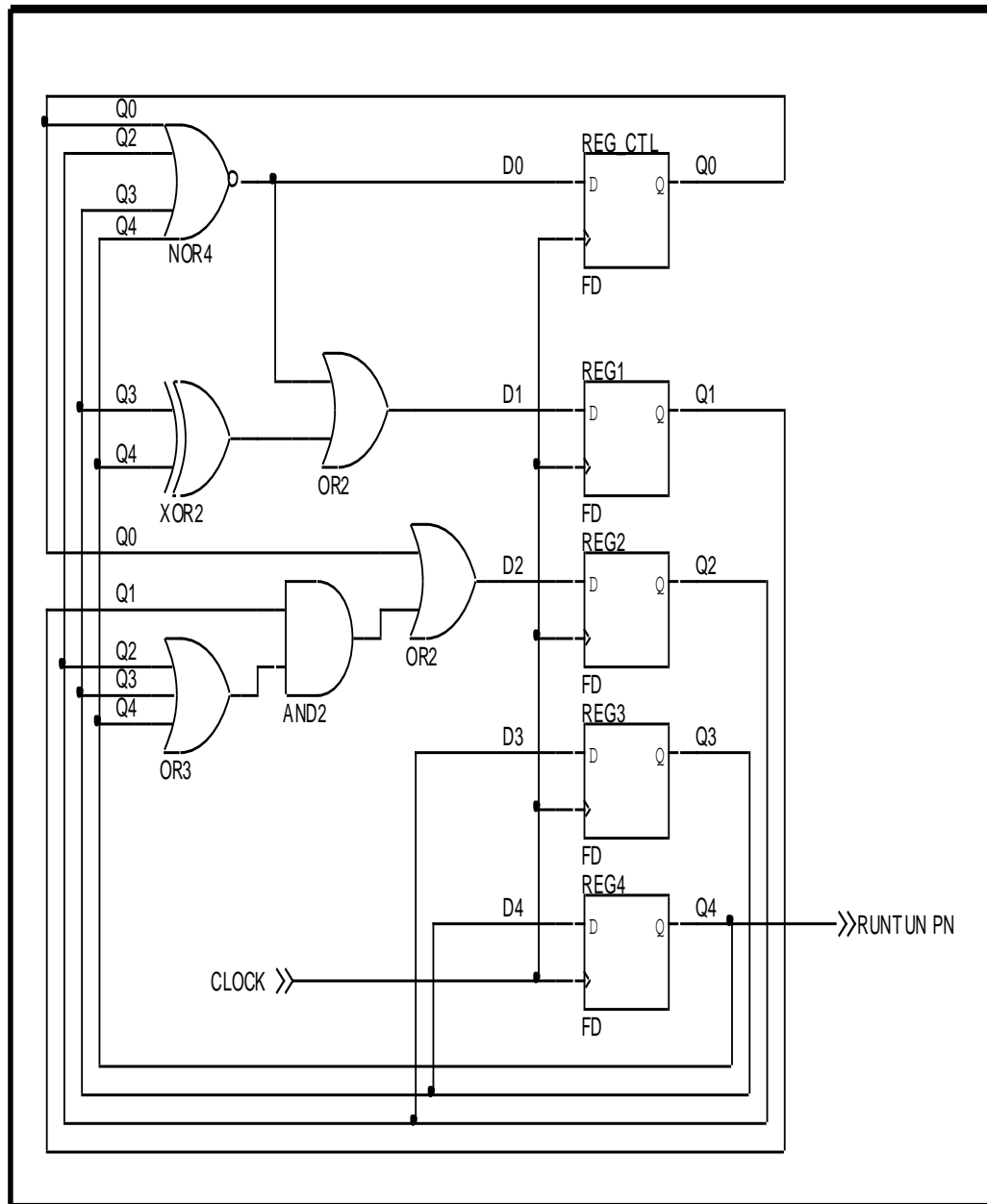
$$D3 = Q2$$

...

$$DN = Q(N-1)$$

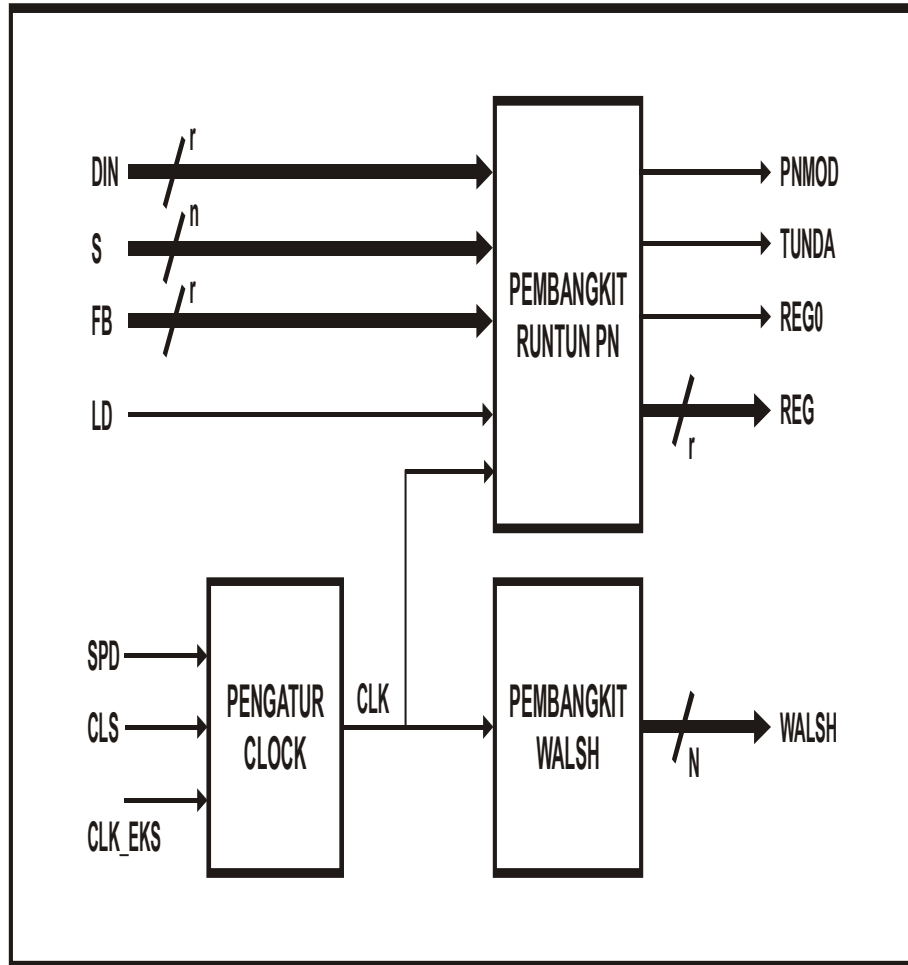
$$OUT = QN$$

Contoh rangkaian pembangkit runtun PN termodifikasi dengan 4 register dan sadapan umpan balik [4,3] ditunjukkan pada gambar 1.



Gambar 1. Pembangkit Runtun PN Termodifikasi (register 4-tingkat sadapan [4,3])

Secara umum rancangan dibagi dalam tiga bagian utama: bagian pembangkit runtun PN; bagian pembangkit sandi Walsh; dan bagian pengatur clock, seperti yang ditunjukkan pada gambar 2.



Gambar 2. Diagram Blok Pembangkit Runtun PN dan sandi Walsh

Bagian pengatur *clock* berfungsi sebagai penghasil isyarat clock bagi kedua pembangkit. Sumber *clock* ada dua, yaitu internal dan eksternal, yang dipilih melalui input CLS (0 = int.; 1 = eks.). Pesat clock internal juga ada dua, yaitu 1 MHz dan 1,875 HZ, yang dipilih melalui input SPD (0 = 1 MHz; 1 = 1,875 Hz).

Pembangkit runtun PN memiliki spesifikasi sebagai berikut: jumlah register yang aktif dapat ditentukan pengguna (melalui input S) sampai dengan maksimal r register (sesuai jenis rancangan); kondisi awal register dapat ditentukan melalui input DIN yang dikendalikan oleh input LD (*load data*); sadapan umpan balik dapat berasal dari register manapun, yang ditentukan melalui input FB.

Pembangkit sandi Walsh memiliki spesifikasi sebagai berikut: masukan pembangkit hanya berupa isyarat CLK yang dibagi sehingga menghasilkan sandi-sandi Walsh acuan; sandi-sandi Walsh acuan tersebut saling dijumlahkan sesuai pencacahan sandi biner untuk menghasilkan sandi Walsh lengkap; semua sandi Walsh dapat ditampilkan sebagai keluaran.

3. Hasil dan Analisis

Implementasi rancangan ke dalam keping FPGA meliputi dua tahap, yaitu tahap kompilasi dan tahap konfigurasi. Tahap kompilasi adalah tahap pemrosesan *file-file* rancangan menjadi *file* data konfigurasi FPGA. Sedangkan tahap konfigurasi adalah proses pentransferan data konfigurasi tersebut ke dalam keping FPGA sehingga FPGA siap beroperasi sesuai rancangan.

Hasil implementasi ketiga jenis rangkaian pembangkit menggunakan FPGA XC4013 diperlihatkan pada tabel 1.

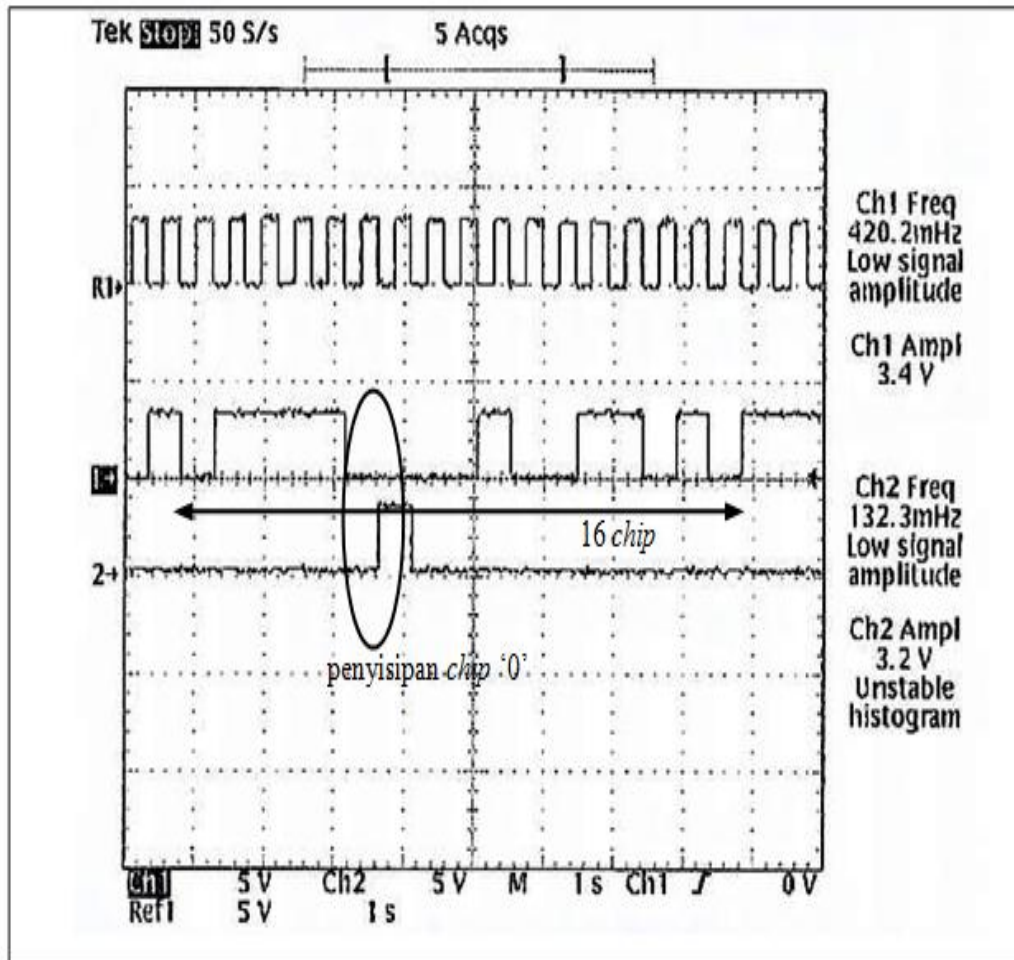
Tabel 1. Ringkasan Hasil Implementasi Rancangan

Proses Kompilasi	RANCANGAN
------------------	-----------

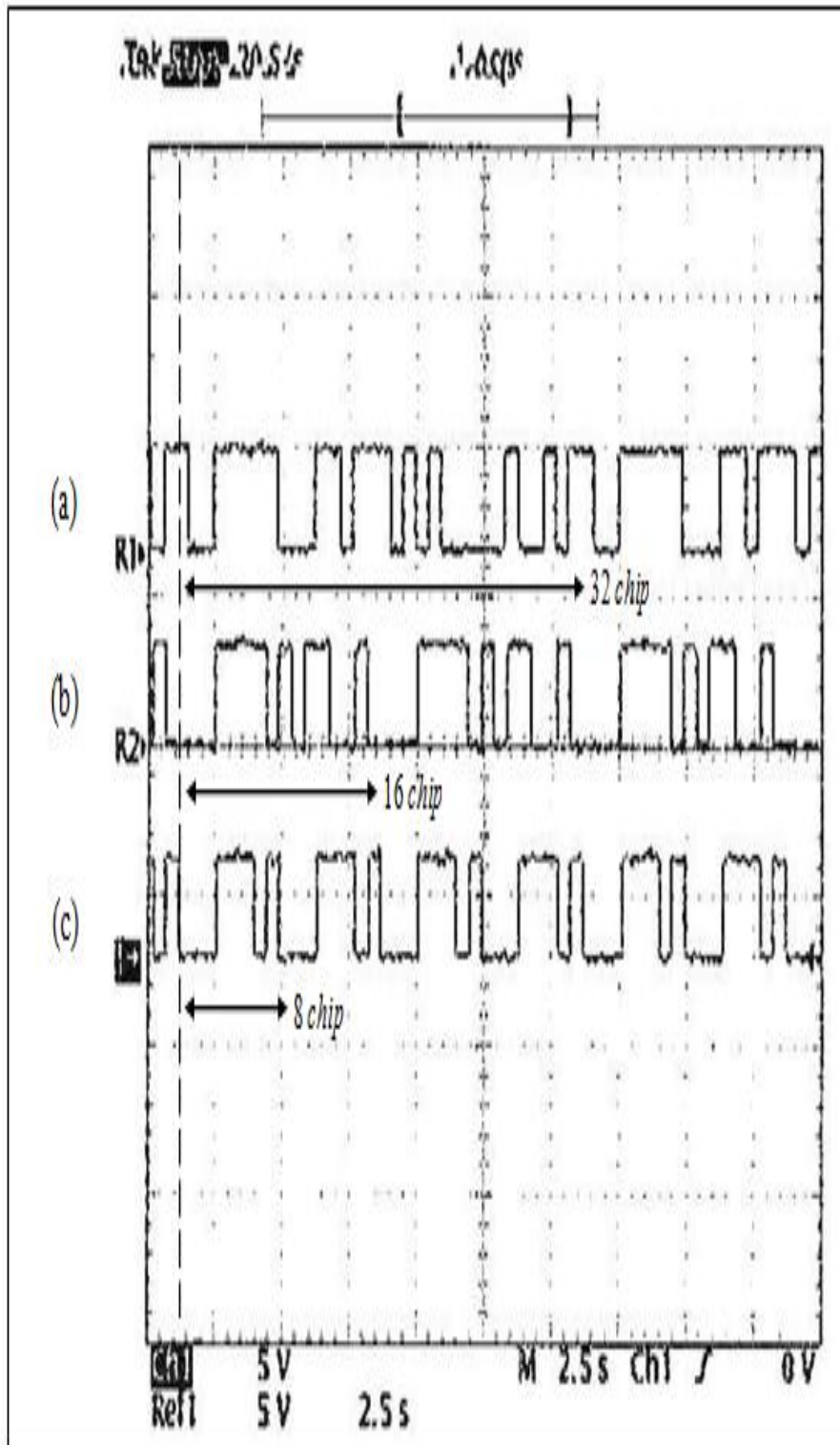
		Runtun PN 4 Reg. Walsh-8		Runtun PN 8 Reg. Walsh-16		Runtun PN 15 Reg. Walsh-64	
Jumlah gerbang primitif		132		227		517	
Jumlah pin I/O	(max. 192)	33	(17 %)	54	(28 %)	123	(64 %)
Jumlah CLB	(max. 576)	37	(6 %)	65	(11 %)	148	(26 %)
Pembangkit fungsi FG	(max. 1152)	31	(3 %)	59	(5 %)	140	(12 %)
Pembangkit fungsi H	(max. 576)	2	(0 %)	18	(3 %)	31	(5 %)
Flip-flop	(max. 1152)	26	(2 %)	43	(4 %)	107	(9 %)

Tampak bahwa pada tiap rancangan, pemakaian paling banyak terdapat pada pin I/O, sedangkan CLB yang tersedia masih cukup banyak. Untuk implementasi jenis rancangan yang lebih kompleks, hal ini dapat disiasati dengan mengurangi jumlah pemakaian pin, misalnya membatasi keluaran sandi Walsh yang hanya diambil beberapa saja.

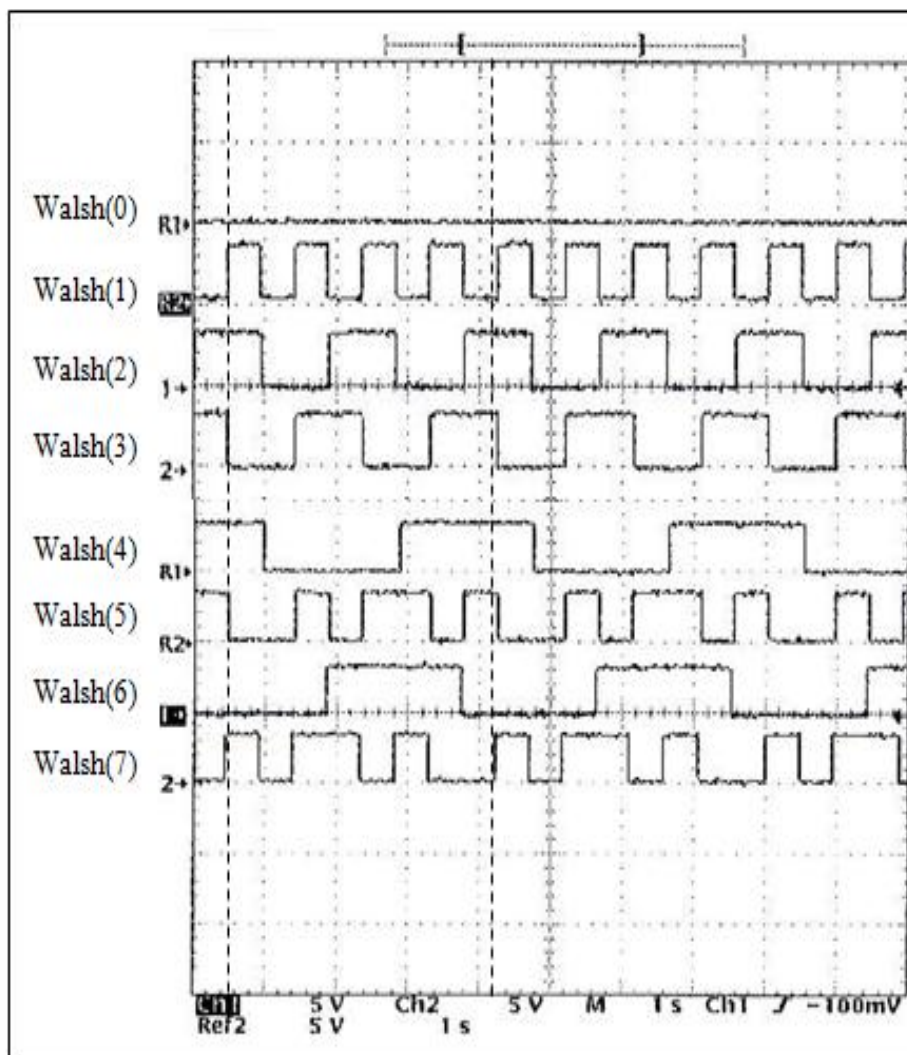
Gambar 3, 4 dan 5 menunjukkan hasil pengamatan osiloskop pada keluaran sistem pembangkit. Gambar 3 adalah keluaran runtun PN 16 *chip* (register 4 sadapan [4,3]) beserta isyarat kendali untuk penyisipan *chip*. Gambar 4 menunjukkan isyarat runtun PN dengan panjang berbeda-beda. Dan gambar 5 adalah isyarat lengkap untuk sandi Walsh-8.



Gambar 3 Isyarat Runtun PN 16 *Chip* dan Isyarat Kendali Penyisipan *Chip*



Gambar 4. Isyarat Runtun PN dengan panjang berbeda-beda
(a) 32 chip (register 5 sadapan [5,3])
(b) 16 chip (register 4 sadapan [4,1])
(c) 8 chip (register 3 sadapan [3,1])



Gambar 5 Isyarat Sandi Walsh-8

4. Kesimpulan

Berdasarkan hasil penelitian dapat disimpulkan beberapa hal berikut ini:

1. Model sistem pembangkit runtun PN dan sandi Walsh dapat diimplementasikan dalam satu keping FPGA XC4013-PG223-5.
2. Hasil pengujian menunjukkan rancangan pembangkit telah bekerja sesuai spesifikasi rancangan yang diinginkan.
3. Rancangan model sistem yang dibuat paling banyak mengkonsumsi IOB, sedangkan CLB yang tersedia masih cukup banyak.
4. Pembangkitan runtun PN termodifikasi untuk sembarang tingkat register geser dapat dibangkitkan setelah terlebih dahulu melakukan sintesis rangkaian menggunakan FSM untuk menemukan pola persamaan eksitasinya

Daftar Pustaka

[1] Limas, B., Bambang, S., Setiyanto, B., 2010, *Implementasi Model Pembangkit Runtun PN dan Sandi Walsh Berbasis FPGA*, Skripsi. Jurusan Teknik Elektro Fakultas Teknik Universitas Gadjah Mada, Yogyakarta.

[2] Peterson, R.L., Ziemer, R.E., Borth, D.E., 2005, *Introduction to Spread Spectrum Communications*, Prentice Hall International, Inc., Singapura.

[3] Rahman, Y.A., 2004, *Model Perangkat Keras CDMA Bidang Dasar Menggunakan Sandi Orogonal Walsh*, Skripsi. Jurusan Teknik Elektro Fakultas Teknik Universitas Gadjah Mada, Yogyakarta.

[4] Setiyanto, B., *Pengantar Spektrum Tersebar dan CDMA*, Yogyakarta.

- [5] Sutopo, B., 2005, *Designing 4 Point Winograd Small FFT on FPGA*, Quality in Research Seminar, Universitas Indonesia.
- [6] Taub, H., Schilling, D.L., 2006, *Principles of Communication System 2nd ed.*, McGraw-Hill, Inc., Singapura.